

Лекция 12

Полеви транзистори

Съдържание на Лекция 12

12. Полеви транзистори.

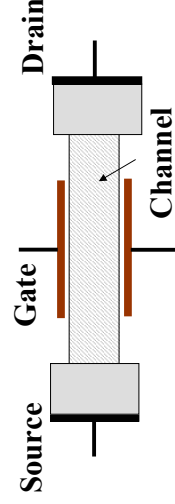
- 12.1 Полеви транзистори – структура и части на транзистора, съпротивление на канала, класификация на полевите транзистори в зависимост от начина на управление на тока през канала.
- 12.2 Действие на полеви транзистор с управляващ рп-преход. Статични характеристики в схема “общ source”. Някои приложения
- 12.3 MOSFET полеви транзистор с вграден и индуциран канал. Статични характеристики в схема “общ source”. Честотни свойства на полевите транзистори.
- 12.4 Съвременни MOSFET полеви транзистори с увеличена мощност и увеличено бързодействие. CMOS транзистори с приложения в цифровата електроника. Компютърни микропроцесори.
- 12.5 Съвременни свръх-високофреототни HEMT и pHEMT транзистори – принцип на работа и честотен обхват. Нанотранзистори. Бъдеще на наноелектрониката

Лекция 12

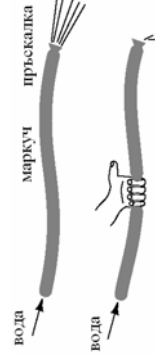
12.1 Полеви транзистори – структура и части на транзистора, съпротивление на канала, класификация в зависимост от начина на управление на тока през канала

Полеви транзистори

Досега разглеждахме биполарния транзистор BJT, известен като активно устройство, *управлявано с ток* (измененията в слабия ток през базата предизвиква изменения в силния ток през колектора за сметка на dc напреженията). Съществуват и друг тип активни триаменни устройства, управлявани чрез напрежение. Това са клас устройства, наречени *полеви транзистори* (FET – Field Effect Transistors) (вж. схемите долу и означението на отделните електроди, на които запазваме оригиналните названия - source S, drain D, Gate G и канал). Общото в идеята на управлението им е използването на управляващ кондензатор G.



Принципна схема на полеви транзистор с източник S (source), колектор D (drain), канал (channel) и управляващ електрод G (gate) и реализация с ПП структура с n-тип канал



Картинна асоциация на управлението на FET

Картинна асоциация на управлението на BJT

Действие на полевия транзистор

Действието на полевите транзистори се основава на следните процеси: Основният процес е, че от S се инжектират носители от един и същи тип, които се събират в D. Така в канала между S и D протича силен ток (в случая на n-канал това е електронен ток, при p-канал - дуплест ток). Въпросът е как да се регулира този ток, за да работи активното устройство в активен или ключов режим, подобно на BJT.

Долу е дадена формулата за униполарната проводимост G_{ch} на канала с n-тип носители:

$$G_{ch} = q\mu_n n(A_{ch} / L_{ch})$$

Така ако между S и D е приложено напрежение V_{DS} , благодарение на n-проводимостта на канала през него потича електронен ток I_{DS}

$$I_{DS} = G_{ch} V_{DS}$$

който може да се регулира (управлява), като се изменят следните параметри на канала:

1) подвижността на носителите μ_n ; 2) дължината на канала L_{ch} ; 3) площта на напречното сечение на канала A_{ch} и 4) концентрацията на електроните n . Първите два параметъра обикновено са фиксирани: при избора на полупроводниковия материал или при избраната технология. Другите два параметъра могат да се регулират относително лесно в канала и така могат да се създадат два основни типа полеви транзистори:

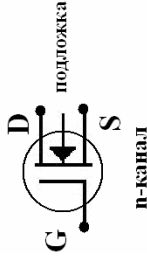
- 1) Полевия транзистор с управляем канал (чрез изменение на ефективната площ на напречното сечение на канала) (това са JFET и MESFET транзистори – вж. следващата страница)
- 2) Полевия транзистор с изолиран управляващ електрод (чрез изменение на концентрацията на носителите в канала) (това са MOSFET транзисторите – вж. следващата страница)

Означения на полевите транзистори

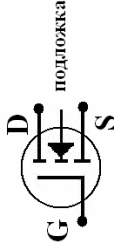
Поради по-голямото разнообразие на полеви транзистори, за тях се срещат и повече означения. Част от по-известните са показани по-долу.

Вдясно са показани общите означения за JFET и за MESFET, които са базират на управляващ np или Schottky преход. Показани за означения за n-тип канал (стрелка на G навътре) и p-тип канал (стрелка на G навън).

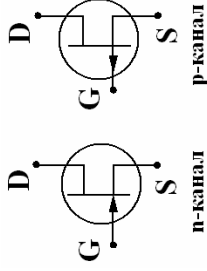
По подобен начин се означават и полевите транзистори с вграден и индуциран канал. Има и знак за подложката (от n- или p-тип)



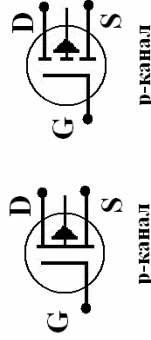
MOSFET с вграден n-канал



MOSFET с индуциран p-канал



JFET и MESFET

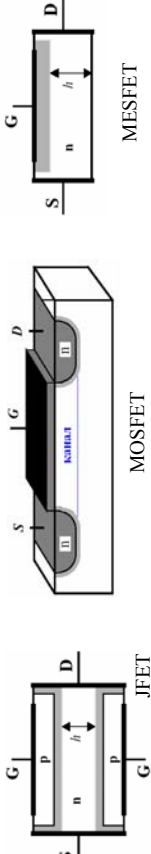


MOSFET с вграден и индуциран p-канал

Класификация на полевите транзистори

Така по начина на управление на тока в канала могат да се класифицират следните три основни типа полеви транзистори:

1. Полеви транзистори с управляващ рп-преход (JFET – Junction FET). При тях управляващият електрод G представлява рп-преход, свързан в обратна посока (при n-канал управляващото напрежение е отрицателно $-V_{GS}$. Това са бавни нискофреkwотни високоомни полеви транзистори, които днес практически не се използват
2. Полеви транзистори с изолиран управляващ електрод (MOSFET – Metal-Oxide-Semiconductor FET). Тук управляващият електрод G е изолиран (нешо като кондензатор). Управлението става чрез контролиране на концентрацията на носителите в канала с помощта както на положително и/или отрицателно напрежение V_{GS} . Има два основни вида MOSFET транзистори – с вграден канал и с индуциран канал. Използва се и общото название IGFET (Insulated-Gate FET). Това са клас бързодействащи транзистори, използвани в цифровата електроника, логическите схеми и особено в електронните памети.
3. Полеви транзистори с управляващ Schottky-преход (MESFET – Metal-Semiconductor FET). При тях управляващият електрод G представлява отново свързан в обратна посока преход, но от Schottky тип (метал-полупроводник). Те са значително по-бързодействащи и по-високофреkwотни (до 40-80 GHz).



Създаване на полевите транзистори

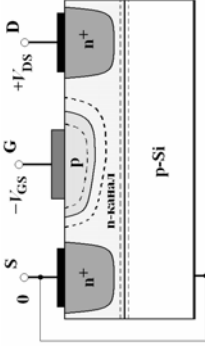
Устройства, принципно подобни на полевите транзистори, са предложени теоретично много преди биполарния транзистор BJT. През 1925 г. полският физик J. E. Lilienfeld и независимо от през 1935 г. негов германският физик O. Heil предлагат в два отделни патента ПП структури, управлявани с напрежение (подобни на днешните MESFET и IGFET). Тези FET “на хартия” предхождат с 20-30 г. появата на биполарния транзистор през ~1950 г. Причината е липсата на подходящи ПП материали и технологична незрялост за създаване на FET структури. Поради тази причина най-напред се появяват JFET транзистора, който има общи структури с диодите и BJT. Концептуално JFET е предложен в работата на английския физик William Shockley в статията му “A unipolar field-effect transistor” от 1952 г. Първият реално JFET устройство е създадено от Dacey и Ross една година по-късно. Традиционно този тип транзистори се използват като високоомни усилватели, което ги прави предпочитани пред биполарните, но към днешна дата практически вече не се ползват поради наличието на по-ефективни.

MESFET транзисторите са еволюционна стъпка на ниско-фреkwотните JFET транзистори към по-високи фреkwоти. Изработването им е относително просто и стабилно на базата на епитаксиалната технология, а управляващият Schottky преход е много по-бързодействащ. Друго важно обстоятелство е използването на GaAs (вместо Si) за изработване на по-високофреkwотни FET транзистори, което позволява по-голяма интеграция, а работната фреkwота лесно стига до ~80 GHz на GaAs-MESFET срещу ~40 GHz на Si-BJT. Още по-високи фреkwоти се получават чрез HEMT и p-HEMT транзистори (описани в лекцията). Цифровите схеми на основата на GaAs MESFET имат 1/3 по-ниска консумация от биполарните ECL (Emitter-Coupled Logic) устройства.

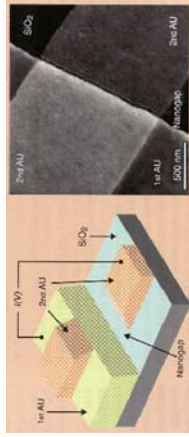
MOSFET транзисторите са междинно звено от устройствата. Те са предложени след BJT, през 1960, от E. Labate, D. Kahng и J. Atalla от Bell Labs. Днес има голямо разнообразие от IGFET структури с високо бързодействие, които и до днес са предпочитани в компютрите, цифровите електронни и комуникационните устройства, електронните памети и пр. CMOS (Complementary MOS) устройствата в интегралната технология са водещи в цифровата електроника, но днес се появяват и нови нано-размерни структури, които качествено ще повишат бързодействието, ефективността и характеристиките на съвременната компютърна и комуникационна техника.

Технология на полевите транзистори

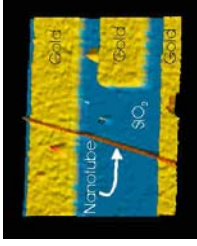
Показани за примери за структурата на различни полеве транзистори от различен тип, произведени по различни технологии. Венците са разглеждани с повече или по-малко подробности в лекцията.



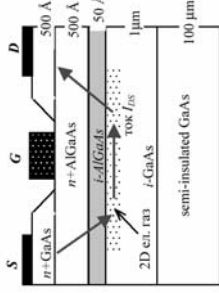
p-Si JFET транзистор с п-канал



Наноразмерен (10 nm gap) FET за съвременни бързодействащи памети

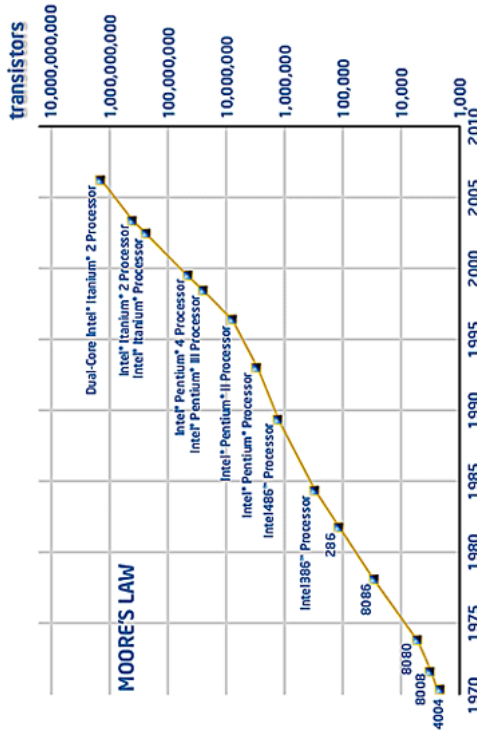


p-HEMT GaAs хетеропреходен транзистор



Свърхвисокочестотен свръх-ниско шумящ FET с наноразмерен CNT (Carbon Nano Tube) канал

Съвременна наноелектроника



Преход от μ - към п-устройствата и степен на интеграция по закона на Мооре (емпиричният закон гласи, че за последните 30 години броят на транзисторите в единица площ на един чип се удвоява на всеки 2-3 години, когато се въвежда нова технология. Например, броят на MOSFET транзисторите 45-nm Intel процесор са 2 пъти повече от този в 65-nm процесор).

Лекция 12

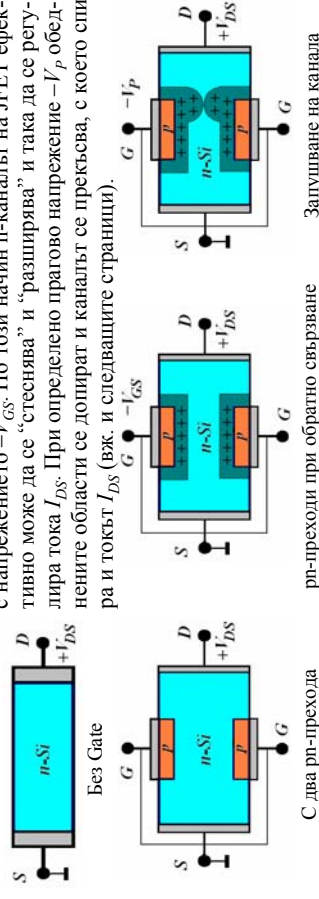
12.2 Действие на полевия транзистор с управляващ рп-преход. Статични характеристики в схема "Общ source". Някои приложения.

Действие на транзистор с управляващ рп-преход

Ще илюстрираме работата на полевия транзистор в управляващ рп-преход. Ако в п-Si кристал се формират два омични контакта – Source и Drain и между тях се подаде напрежение $+V_{DS}$ през п-канала започва да тече нерегулиран ток I_{DS} . В този случай структурата е като обикновено съпротивление R_{ch} на канала и токът зависи от приложеното напрежение

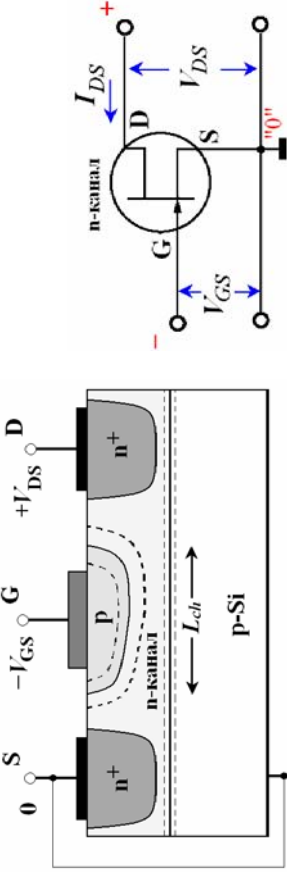
$$I_{DS} = G_{ch} V_{DS} = V_{DS} / R_{ch}$$

При наличие на трети електрод Gate, структурата става подобна на BJT: S е като E (източник на основни носители); D е като C (колектор на основни носители), а G е като B (управление на тока I_{DS}). Тук се появяват различията. Под електродите на G са имплантирани р-области и се образуват 2 рп-прехода. При подаване на обратни напрежения в п-канала до контакта с р-областите се образува обеднени области. Дебелината им може да се регулира с напрежението $-V_{GS}$. По този начин п-каналът на JFET ефективно може да се "стеснява" и "разширява" и така да се регулира тока I_{DS} . При определено прагово напрежение $-V_p$ обеднените области се допират и каналът се прекъсва, с което спира и токът I_{DS} (вж. и следващите страници).



Структура на транзистор с управляващ рп-преход

Долу е показано напречното сечение на планарна структура на JFET транзистор с п-канал с управляващ рп-преход. Подобна е и структурата на MESFET транзистора с основна разлика, че самият проводник на G изпълнява ролята на р-областта, формиращ Schottky переход и вместо рп-преход. И двата типа полевни транзистори, JFET и MESFET, най-често се свързват в схема "общ S" (grounded Source), като на D се подава положително изходно напрежение $+V_{DS}$, а на G – отрицателно входно напрежение $-V_{GS}$, през п-канала започва да тече нерегулиран ток I_{DS} . Полученият канал има дължина L_{ch} , а ширината се изменя от W_{ch} до ~ 0 (запушен канал). Приложеното управляващо напрежение $-V_{GS}$ се разпределя между рп-прехода и пада на напрежение върху канала (вж. следващата страница).



Напречно сечение на класически планарен JFET транзистор с п-канал върху p-Si

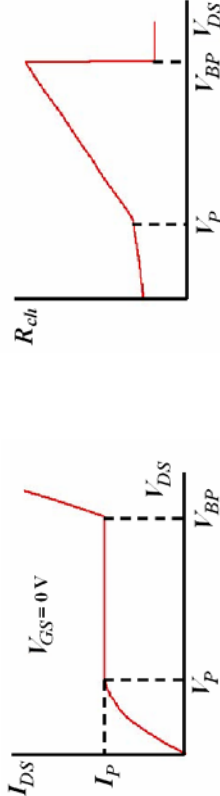
Свързване на JFET транзистора в схема "Общ Source"

Съпротивление на канала и характеристики на JFET

Съпротивлението на п-канала на JFET (както и на MESFET) транзисторите има важна роля в активния режим и за свойствата на усилвателите на тяхна основа. Както бе показано, съпротивлението R_{ch} на п-канала зависи обратно-пропорционално от ефективната площ на напречното сечение на канала на канала A_{ch} :

$$R_{ch} = L_{ch} / q\mu_n n A_{ch}$$

То може да се определи, като се измери зависимостта на тока I_{DS} от напрежението V_{DS} при фиксирано управляващо напрежение $-V_{GS}$ (статична изходна характеристика). По подобен начин това се прави и при BJT. Долу е показана примерна зависимост при $V_{GS} = 0$, а до нея – зависимост на R_{ch} от V_{DS} . При напрежения $V_{DS} < |V_p|$ (понеже $V_{GS} = 0$) съпротивлението нараства слабо (омична област), но след запушване на канала (до т. нар. дебаевски радиус на канала (10^4 – 10^5 V/cm в pinch-off зоната) и електроните се движат дрейфово със скорост $v_d \sim 10^7$ cm/s. Така при $V_{DS} > |V_p|$ (област на насищане) токът I_{DS} не зависи от V_{DS} , а съпротивлението R_{ch} расте линейно. При $V_{DS} > V_{BP}$ настъпва лавинен пробив и R_{ch} рязко намалява

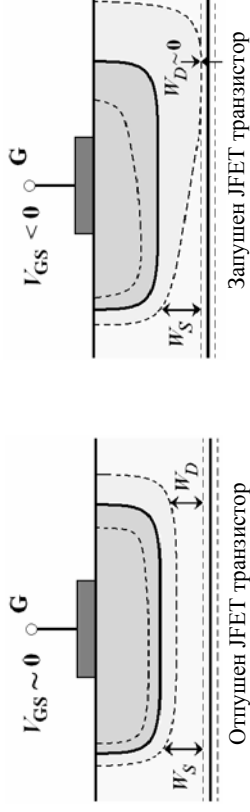


Контрол на ефективното сечение на канала

Подобно на BJT и JFET транзисторът може да контролира тока между източника и колектора (S и D) от състояние на запушване (отсечка) до състояние на насищане – т.е. контрол на т.нар. *активен режим*. На двете фигури долу са представени двете крайни състояния в JFET транзистора: при отпушен и запушен канал. Те се реализират при две напрежения, подавани на G: отпушване при $V_{GS} \sim 0$ и запушване при $V_{GS} = -V_p$ (pinch-off напрежение). Полученият канал има дължина L_{ch} , но ширината му не се оказва равномерна по неговата дължина. Причината е, че разпределението на напрежението V_{pn} върху управляващия рп-преход зависи освен от приложеното напрежение V_{GS} и от пада на напрежението върху съпротивлението на канала

$$V_{pn} = V_{GS} + V_{ch} = V_{GS} + R_{ch} I_{DS}$$

като напрежението V_{ch} се изменя в граници от 0 до $-V_{DS}$ и по-силно отрицателно в областта на D. Така ширината в областта до S е по-голяма от ширината в областта до D, т.е. $W_S > W_D$. По тази причина каналът се "затваря" най-напред в областта на D.

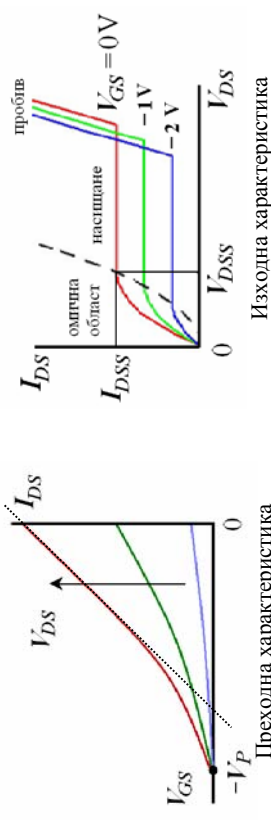


Статични характеристики на JFET

Както и при BJT, статичните характеристики на полевия транзистор JFET са важни за определяне на свойствата му като активен или ключов елемент. Долу са дадени двете важни характеристики: преходна $I_{DS}(-V_{GS})$ при $V_{DS} = \text{const}$ и изходна $I_{DS}(V_{DS})$ при $V_{GS} = \text{const}$. По-долу правим кратък анализ:

Преходната характеристика показва, че ток I_{DS} е възможен само $|V_{GS}| < |V_p|$. В определени области токът I_{DS} е линейна функция на V_{GS} . От тези зависимости може да се определи т. нар. преходна проводимост на транзистора, transconductance (вж. нататък).

Изходната характеристика показва трите различни режими на JFET транзистора: омична област, област на насищане и област на лавинен пробив, водещ до силен ток и прегряване на транзистора. В омичната област токът I_{DS} зависи от приложеното напрежение $V_{DS} < V_{DS}$ (JFET работи като съпротивление), но в областта на насищане този ток не зависи от V_{DS} , а само от управляващото напрежение V_{GS} (активен режим). От тази характеристика може да се определи изходният импеданс на транзистора в схема Общ S.



Преходна характеристика

Изходна характеристика

Ток в канала в омичен и наситен режим

От характеристиките на предишната страница се вижда, че полевият транзистор има две области на работа като активно устройство: омична област и област на насищане. По-често се налага да се управлява ток в канала само чрез напрежението на управляващия електрод G – тогава се работи в областта на насищане. Обратно, ако се търси контрол основно чрез напрежението на изходния електрод D, тогава работната точка на JFET се позиционира в омичната област. Двете формули, дадени по-долу, отразяват зависимостите на тока I_{DS} от двете важни напрежения V_{DS} и V_{GS} :

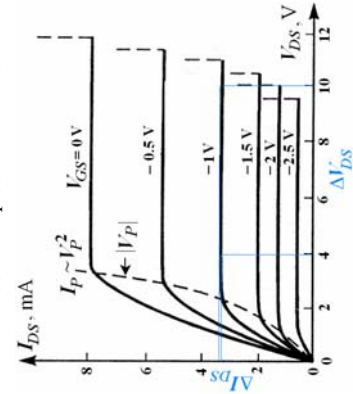
$$\text{В омичната област} \quad I_{DS} = I_{DSS} \left[-2 \left(1 - \frac{V_{GS}}{V_{GS,off}} \right) \frac{V_{DS}}{V_{GS,off}} - \left(\frac{V_{DS}}{V_{GS,off}} \right)^2 \right]$$

$$\text{В областта на насищане} \quad I_{DS} = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GS,off}} \right)^2$$

Тук се използват известни означения: I_{DSS} – ток на насищане при $V_{GS} = 0$ (дава се в електронните каталози) и $V_{GS,off} = -V_P$ – напрежение на запушване (pinch-off) на канала. Това са прости формули за определяне на работните точки на JFET в различните области, като електронните инженери често ползват в своята практика софтуерния пакет SPICE или подобни на него. Ясно се вижда нелинейният характер на зависимостите на тока от приложените напрежения. Типични стойности на проектираните параметри за JFET са следните: $I_{DSS} \sim 1 + 1000 \text{ mA}$; $V_{GS,off} \sim -0.5 + -10 \text{ V}$; $V_{DS} \sim 6 + 50 \text{ V}$.

Входен и изходен импеданс на JFET транзистор

Могат да се дадат много отличия между биполярния транзистор BJT и полевия транзистор JFET. Освен униполярната проводимост на канала (само p или само n) и управлението на тока “source-drain” чрез напрежение, а не чрез ток, има и някои други различия. BJT се управлява чрез слабия ток на базата, като преходът “база-емитер” е в права посока. При JFET управляващият преход “G-канал” е в обратна посока, което води до следните важни особености. Първо, управляващите токове I_{GS} са значително по-слаби от базовите в BJT, по същата причина входният импеданс R_{in} на JFET транзистора е значително по-висок от този на BJT. Изходният импеданс R_{out} на JFET също е висок – от порядъка на няколко-стотин Ω . Той може да се определи от изходната характеристика като



Причината е, че токът I_{DS} зависи много слабо от приложеното напрежение V_{DS} в областта на насищане (вж. фигурата). V_{DS} е ограничено от невисокото напрежение на лавинния пробив V_{BR} ; това ограничава захранващите напрежения V_{DD} на D, а оттам и на изходните токове на JFET в сравнение с BJT. Така и коефициентите на усилване при JFET са по-малки от тези при BJT. Накрая, не е маловажен и фактът, че изходният ток е нелинейно зависещ от управляващото напрежение, за разлика от BJT, където колекторният ток е линейен спрямо базовия.

Изходна характеристика

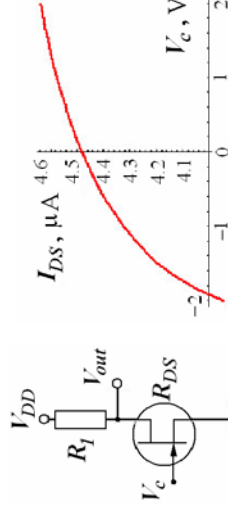
Преходна проводимост (transconductance)

От преходната характеристика на JFET транзистора $I_{DS}(-V_{GS})$ при $V_{DS} = \text{const}$ може да се определи един важен параметър – преходната проводимост (transconductance):

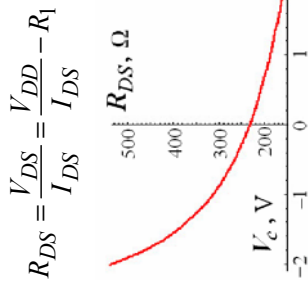
$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} \Big|_{V_{DS}=\text{const}} \sim 1 \div 10 \text{ mA/V (Si)}$$

Параметърът g_m е важен при използването на JFET транзистор като електронно-управляем резистор R_{DS} с помощта на управляващо напрежение V_c върху G ($V_c = V_{GS}$) (вж. и фигурата)

$$g_m = \frac{1}{R_{DS}} \Big|_{V_{DS}=\text{const}} = g_{m0} \sqrt{\frac{I_{DS}}{I_{DSS}}} \Big|_{V_{DS}=\text{const}} \quad \text{където} \quad g_{m0} = -\frac{2I_{DSS}}{V_{GS,off}}$$



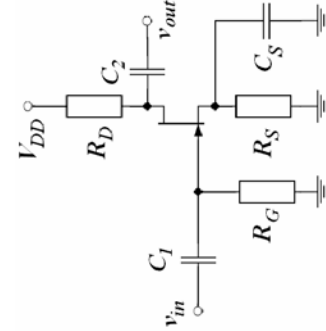
Пример за JFET като електронно-управляем резистор: $V_{DD} = 10 \text{ V}$; $R_I = 2 \text{ k}\Omega$; $V_{GS,off} = -5 \text{ V}$; $I_{DSS} = 12 \text{ mA}$; за $V_c = 2 + -2 \text{ V} \Rightarrow R_{DS} = 200 + 500 \Omega$



Пример: JFET усилвател по схема “общ Source”

На фигурата е дадена една от най-разпространените схеми на усилвател с полевия транзистор в схема “общ Source”. Схемата е съвсем подобна на схемата “общ Емитер” с BJT. По-подробно подобни схеми са разглеждани в лекцията на електронните усилватели.

Схемата се захранва с един стабилизирания източник $+V_{DD}$. Със съпротивления R_D , R_S и R_G се осигурява постояннотоковата работна точка на транзистора (както при BJT). Кондензаторът C_S осигурява високочестотен “байпас” на резистора R_S , който осигурява и обратна връзка по ток с цел температурна стабилизация на схемата в постояннотоков режим. Потенциалът на G се обезпечавя постоянен с помощта на резистора R_G . Кондензаторите $C_{1,2}$ са за отделияне на dc от високочестотната съставка на входа и изхода на веригата. Опитайте се да обясните действието на схемата, както бе направено при BJT.



Долу е дадена формулата за усилването на схемата, което зависи от преходната проводимост на канала g_m и съпротивления R_D и R_G . Типичната стойност на усилването на схемата с JFET е по-малка от тази на типичен BJT усилвател, но има значително по-нисък коефициент на шум.

$$\text{Gain} = \frac{V_{out}}{V_{in}} = -g_m \frac{R_D R_G}{R_D + R_G}$$

Пример: Source JFET повторител

Подобно на т. нар. “емитерен повторител” на базата на BJT, може да се конструира “Source повторител” на базата на JFET транзистор. Изходното напрежение се взема от S и затова

$$V_{out} = V_S \approx R_S I_{DS} = R_S g_m (V_{in} - V_S)$$

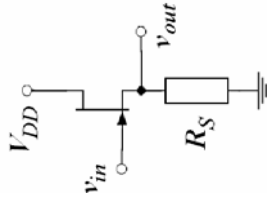
От израза можем да определим напрежението върху S

$$V_S = \frac{g_m R_S V_{in}}{(1 + g_m R_S)}$$

Понеже при това свързване $V_{out} = V_S$, можем да определим коефициентът на усилване

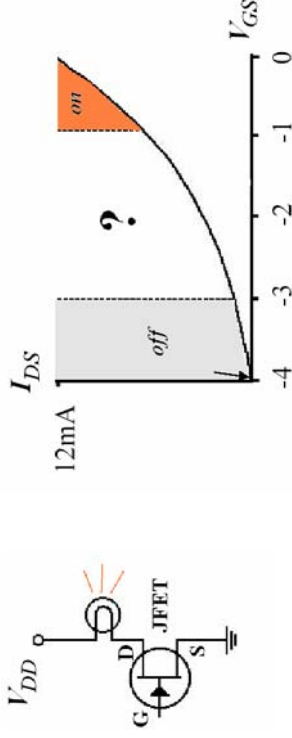
$$Gain = \frac{V_{out}}{V_{in}} = \frac{g_m R_S}{(1 + g_m R_S)} = \frac{R_S}{(R_S + 1/g_m)} \approx 1$$

При тази схема се избира резистор $R_S \ll R_{Load}$ (R_{Load} – товар на изхода (не е показан на схемата) и затова товарът не влияе практически на работата на схемата. Типично $R_S \sim 200 \Omega$ и $R_S > 1/g_m$. Пради това усиляването по напрежение е 0. Тази схема обаче преобразува високия входен импеданс на JFET в относително по-нисък изходен импеданс и затова се използва в схемите за съгласуване на устройствата.



Упражнение: Обяснете действието на схемата

Като използвате свойствата на JFET транзисторите и преходната характеристика на транзистора, определете действието на схемата, като променят управляващото напрежение на входа (на G):



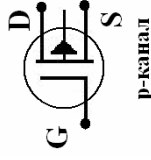
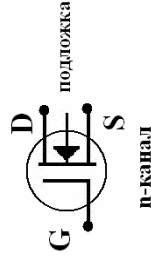
Лекция 12

12.3 MOSFET полеви транзистор с вграден и индуциран канал. Статични характеристики в схема “Общ source”. Честотни свойства на полевите транзистори.

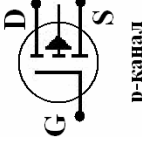
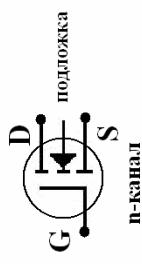
MOSFET транзистори

MOSFET (Metal-Oxide-Semiconductor FET) транзисторите са полеви транзистори, на които управляващият електрод G е отделен от канала чрез изолиращ слой (обикновено SiO_2) (Още IGFET, Insulated-Gate FET). Има два основни типа MOSFET транзистори – с вграден канал (depletion-mode MOSFET) и с индуциран канал (enhancement-mode MOSFET). Характеристиките и на двата типа са много по-добри от тези на JFET транзисторите и поради това са по-разпространени в съвременните електронни устройства.

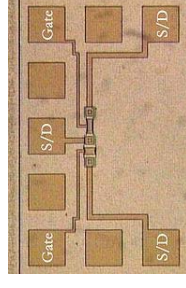
Долу са дадени общприетите означения на двата типа MOSFET транзистори, всеки един с p- или p-канал (със специален символ е означена и подложката):



Означения за MOSFET транзистор с вграден канал

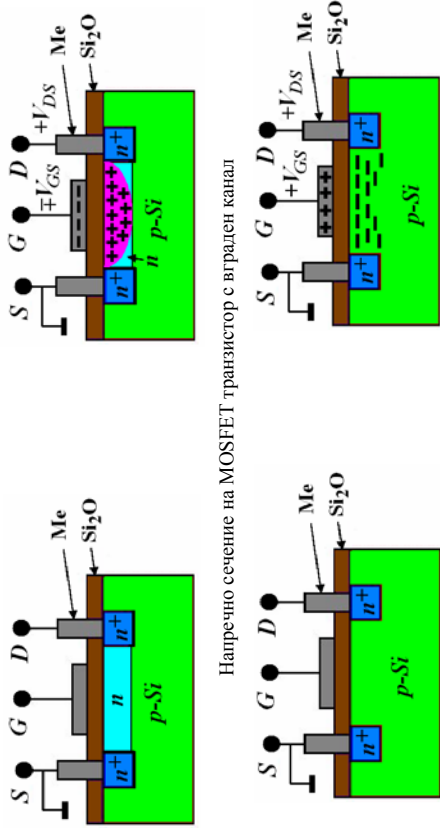


Означения за MOSFET транзистор с индуциран канал



Структура на MOSFET транзисторите

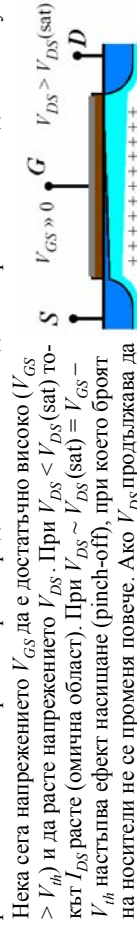
Общото при MOSFET транзисторите е, че управляващият електрод G заедно с подложката (от р- или n-тип ПП) образуват двата електрода на "управляващ кондензатор". Управлението се състои в това, че с помощта на напрежението V_{GS} между G и подложката (обикновено свързана с заземления S) се увеличава (enhancement) или намалява (depletion) броя на носителите в канала (вж. фигурите долу и коментарите по-нататък).



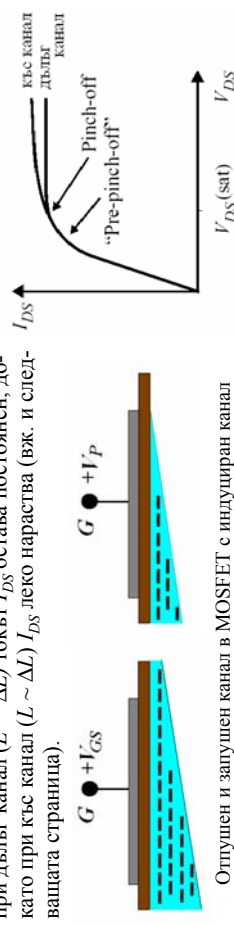
Напрячено с индуциран канал

Запушване на канала в MOSFET транзисторите

Както и при JFET, така и при MOSFET транзисторите се наблюдава ефект на "запушване" на канала. При MOSFET с индуциран канал е необходимо някакво положително напрежение $V_{GS} \sim V_{th}$, при което да се формира ефективен канал (в случая от n-тип). При MOSFET с въведен канал ток в канала тече и при $V_{GS} \sim 0$, а каналът се запушва при определено отрицателно напрежение $V_{GS} \sim -V_p$, както е при JFET транзисторите. На фигурите долу вляво този ефект е показан качествено за по-разпространените днес MOSFET с индуциран канал. Ширината на канала е неравномерна поради наличието на пад на напрежението по дължина му.



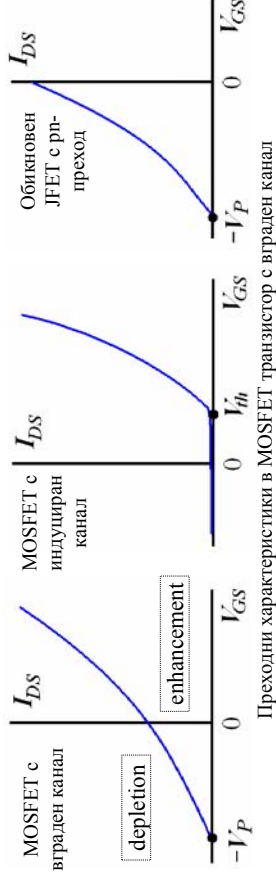
Насищане на канала



Отпушен и запушен канал в MOSFET с индуциран канал

Преходни характеристики в MOSFET транзисторите

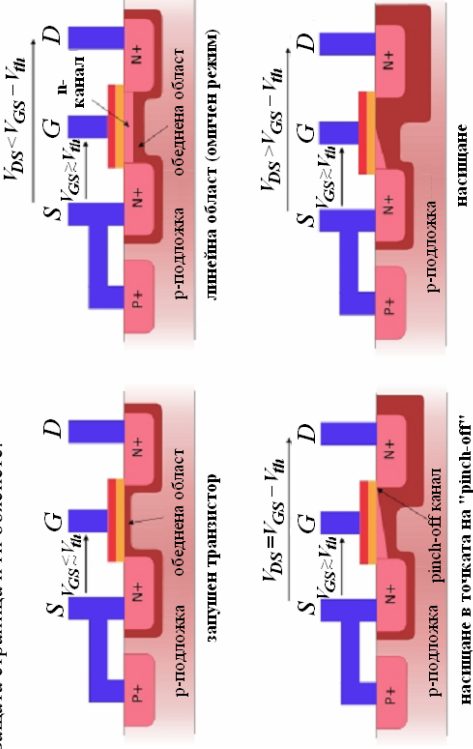
Разликата при двата типа MOSFET транзистори, сравнени с JFET, е знакът на управляващото напрежение V_{GS} . При MOSFET транзисторите с въведен канал под тънкият изолиран G и над р-тип подложката (p-Si) се намира n-тип канал (nMOS, както при JFET). При $V_{GS} = 0$ протича някакъв ток I_{DS} , зависещ от концентрацията на електрони в канала. При $V_{GS} < 0$ транзисторът работи както JFET – зоната в канала обеднява на електрони, защото в нея се индуцира положителен заряд (depletion mode). Токът I_{DS} намалява до нула при критично напрежение на запушване на канала. Обратно, при $V_{GS} > 0$ по индуциран път зоната в канала се обогатява на електрони (enhancement mode) и токът I_{DS} нараства. При MOSFET транзисторите с индуциран канал при $V_{GS} = 0$ няма ток. При подаване на положително напрежение V_{GS} в слоя под G "се индуцира" канал от n-тип (enhancement mode) и при $V_{GS} > V_p$ започва да тече ток I_{DS} . Следователно, JFET се управляват само с отрицателно напрежение V_{GS} , а MOSFET с индуциран канал – само с положително напрежение V_{GS} , а MOSFET с въведен канал – както с положително, така и с отрицателно V_{GS} .



Преходни характеристики в MOSFET транзистор с въведен канал

NMOS транзистор – илюстрация на работните режими

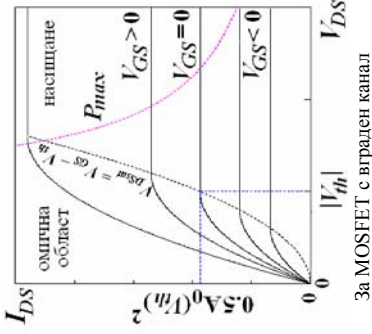
За един от най-разпространените днес полеве транзистори – NMOS (MOSFET транзистор с n-тип индуциран канал), са илюстрирани основните етапи на насищане на транзистора и напреженията, при които се наблюдават. Открийте тези състояния върху характеристиките на следващата страница и ги обяснете.



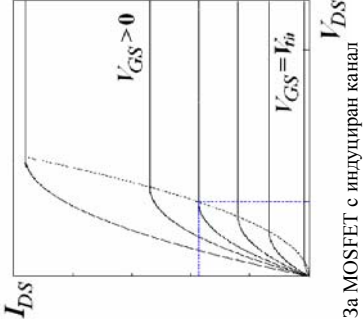
Илюстрация на етапите на насищане на NMOS транзистор с индуциран канал

Иходни характеристики на MOSFET транзистори

Показани са качествено семейство изходни VA-характеристики на двата типа MOSFET транзистори. Те доста приличат на тези на JFET. Разликата се състои в интервала на използваните управляващи напрежения. И тук се наблюдава омична област, която е по-ясно изразена при MOSFET с вграден канал и област на насищане. Вдясно са дадени формулите за тока I_{DS} за MOSFET с индуциран канал в двете области на графиката (формулите за MOSFET с вграден канал са същите, както за JFET).



За MOSFET с вграден канал



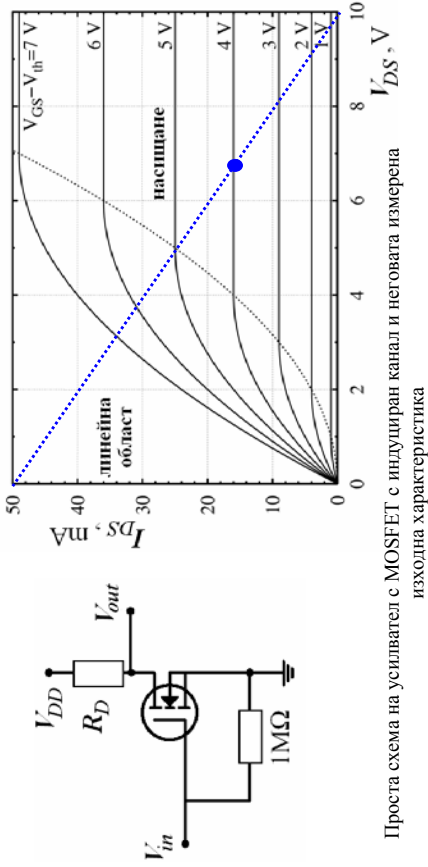
За MOSFET с индуциран канал

Същото в активен (наситен) режим

$$I_{DS} = 0.5 A_0 (V_{GS} - V_P)^2$$

Осигуряване на работната точка на MOSFET транзистори

Отново е показана изходна VA-характеристики на NMOS транзистор и проста схема на осигуряване на работният dc режим на транзистора. Като се базирате на познанията си за биполарни транзистори обяснете как се осигурява работната точка на транзистора като усилвател, в коя област се намира и защо?

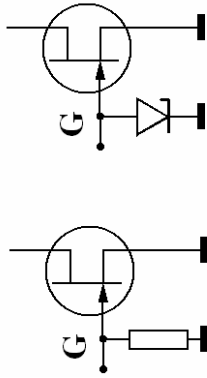


Проста схема на усилвател с MOSFET с индуциран канал и неговата измерена изходна характеристика

Включване на dc захранването на MOSFET транзистори

Полевите транзистори са активни устройства, с които трябва да се работи с повишено внимание при съхранение, монтаж и запояване. Причината е, че нагручването на статични електрически заряди върху управляващия електрод G (особено когато той е изолиран) може да доведе до пробив на тънкия изолиращ SiO_2 слой и повреда на транзистора. Затова монтажната работа с устройства с полеве транзистори трябва да се извършва върху специална анти-статична подложка, а ръцете на работещия с тях трябва да са заземени чрез анти-статични гривни.

Друг начин е в схемите с полеве транзистори към управляващия електрод G да се свързва високоомно съпротивление, което не влияе на dc режима на транзистора, но позволява бавна "утечка" на статичните токове "на маса". Друг срещан подход е свързването във веригата на G на специален ценовер диод с номинално напрежение V_Z , по-малко от максимално допустимото, т.е. $V_Z < V_{GSmax}$. Накрая, за по-безопасно включване на захранването на схеми с полеве транзистори (напр. в студентската лаборатория), трябва да се спазва следния ред (за FET с n-канал):



- 1) Заземяване на схемата (S на FET);
- 2) Подаване на отрицателното напрежение ($-V_{GS}$ на G);
- 3) Подаване на положителното напрежение ($+V_{DS}$ на D).

Изключването на напреженията става в обратния ред.

Защита на MOSFET транзистори от статично електричество

Честотни свойства на полевите транзистори

Честотните свойства на полевите транзистори ще анализираме чрез честотната зависимост на стръмноста му $S(f) = \Delta I_{DS} / \Delta V_{GS} \sim 1/g_m$. Тази зависимост може да се представи така:

$$S = S_0 \frac{1}{\sqrt{1 + (f/f_S)^2}}$$

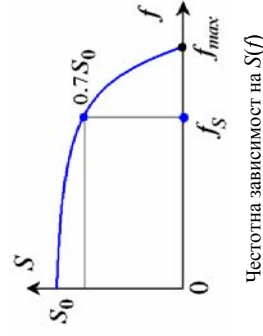
където честотата f_S се дава с израза

$$f_S \sim \frac{1}{t_{ch} + \tau_{SD}}$$

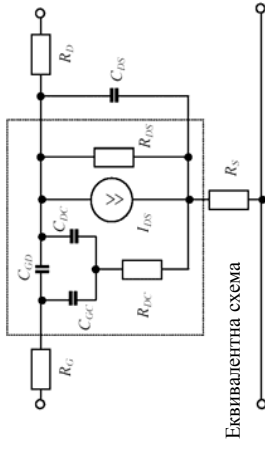
$$t_{ch} = \frac{l_{ch}}{v_d}$$

$$\tau_{SD} \approx R_{SD}(C_{GD} + C_{GS})$$

Така честотата, до която може да се използва даден FET, зависи от минимизиране на времето t_{ch} за прелитане на носителите през канала, и времеконстантата τ_{SD} на общия кондензатор между S и D. По-точен анализ може да се направи чрез еквивалентната схема на FET.



Честотна зависимост на $S(f)$



Лекция 12

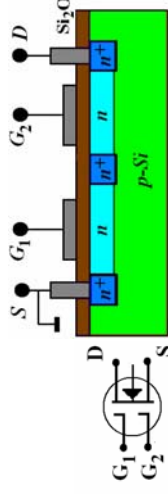
12.4 Съвременни MOSFET транзистори с увеличена мощност и с увеличено бързодействие. CMOS транзистори с приложения в цифровата електроника. Компютърни микропроцесори.

Двугейтови и мощни MOSFET транзистори

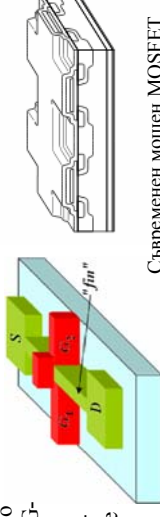
Има различни MOSFET структури с различни ефекти върху характеристиките на полевите транзистори. Тук са разглеждани мощните FET. Един от вариантите е т. нар. "двугейтов" MOSFET (dual-gate MOSFET) – това са два канала един след друг, управлявани от два отделни управляващи електрода G_1 и G_2 . Основното предимство на тази структура е увеличеното изходно съпротивление R_{out} , намаления капацитет C_{DS} и почти двойно увеличения коефициент на усилване. Подобна е и структурата "finFET", но при нея са намалени ефектите на късите канали и близкия D.

Съвременните мощни MOSFET транзистори имат вертикална, а не планарна структура (вж. фигурата долу вдясно). Вертикалната структура позволява да се подава по-високи де напрежения и да текат по-силни токове, понеже вертикалният канал е по-дебел и широк.

Мощните FET се състоят от множество малки вертикални единични групи S-G-D (много-канални структури, при които синфазните малки токове се сумират в един по-силен). Мощните FET се използват най-често за нисковольтни (~ 200 V) ключове, в мощните dc-захранвания, dc-dc конверторите, управляващите контролери за мотори и др.



Двугейтов MOSFET транзистор



Съвременен мощен MOSFET

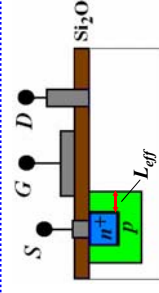
транзистор с квадратни единични клетки (типично до няколко хиляди клетки в един транзистор)

Двугейтов finFET транзистор

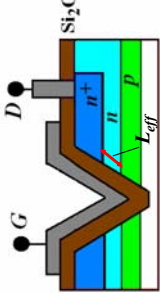
Двойнодифузни MOSFET и MOSFET с "плаващ" гейт

Важен проблем при MOSFET транзисторите е увеличаване на тяхното бързодействие. Тук са показани някои от ранните технологични решения за ефективно намаляване на площта на електродите на S, G и D и на дължината на G и канала. Много разпространено решение е двойно-дифузни транзистор (DMOS). При него под S се извършва "двойна" имплантация: на p-канал и n⁺-S и така каналът се оказва ефективно много къс. Подобен ефект на скъсен канал се получава и при транзистора с V-образен G (VMOS), изработван чрез микрогравирание.

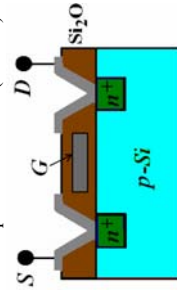
Интересно действие има FAMOS транзисторът с "плаващ" G, който се използва в EPROM памети за електронен запис и изтриване на цифрова информация. Основното при него е, че G няма изходен електрод, а "плува" в изолиращия слой. Действието е следното. В начално състояние под G няма канал и транзисторът е непроводищ (бит "0"). При подаване на положителен импулс на D с голяма амплитуда се получава електрически пробив и G се зарежда положително ($V_{GS} > 0$). Така под G се образува p-канал между S и D и се въвежда бит "1", като транзисторът е в проводящо състояние (т. е. битът може да се "чете"). Това състояние може да съществува дълго и без необходимостта от захранване (ток се черпи само при "четене"). "Изтриването" става с UV-лъчи.



Двойнодифузен MESFET (DMOS)



V-образен MOSFET (VMOS)



MOSFET с "плаващ" G (FAMOS)

MOSFET интегрални схеми и приложенията им

И днес MOSFET се развиват бързо в зависимост от нуждите на съвременната електроника. Особено важно е развитието на съвременните интегрални схеми на базата с полени транзистори, които се използват най-често в микропроцесорите, микроконтролерите и други цифрови и логически схеми, както и множество аналогови устройства като сензори, сензори за изображения (imagers), аналогово-цифрови и цифрово-аналогови конвертори (A/D и D/A), високо-интегрирани приемно-предавателни комуникационни устройства (transceivers) и пр.

MOSFET транзисторите скоро след появата си през 1960 г. стават предпочитани в интегралните схеми по много причини. Те имат съществени предимства както спрямо биполарните транзистори BJT, така и пред полевите транзистори от тип JFET. Главните им предимства са увеличено бързодействие, по-високо входно съпротивление, по-висок коефициент на усилване, по-ниски захранващи напрежения, по-ниска консумация и пр.

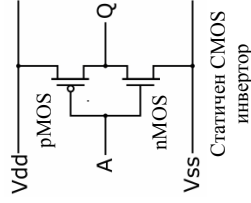
Другите две важни причини са технологични. Ранната технологична изработка на MOSFET транзисторите е проста: създаване на изолиран слой върху полупроводникова подложка и след това метализация за изграждане на електрода на гейта. По-съвременната технология предполага създаване на по-сложни и по-тънки слоеве чрез епитаксиално израстване, монтаж в "чисти стаи" (clean rooms) за избягване на повърхностното замърсяване, контактна и проективна фотография и планарен процес на създаване на многослойни структури стъпка по стъпка (още технологични коментари има на следващите страници). Така системата Si-SiO₂ предлага две важни предимства при изработка на различни MOSFET: много ниска производствена цена при едновременно изработване на много интегрални схеми и лесна интеграция. Главно по тези причини MOSFET, особено тези с индуциран канал (enhancement-mode MOSFET) са най-използвани в съвременните интегрални схеми в последните 20-25 години.

Например, микропроцесорът Intel 8086, вграден през 1981 г. в първите персонални компютри, се базира на ранната nMOS-технология на двата типа MOSFET схеми: MOSFET с индуциран n-тип канал (enhancement-mode), използвани за бързи ключове и MOSFET с вграден p-тип канал (depletion mode), използвани за електронно-управляеми резистори. Тази и подобни на нея технологии се оказваха изключително ефективни за прогреса на компютърните чипове (вж. по-нататък специален коментар за тях).

CMOS транзисторы – свойства и приложения

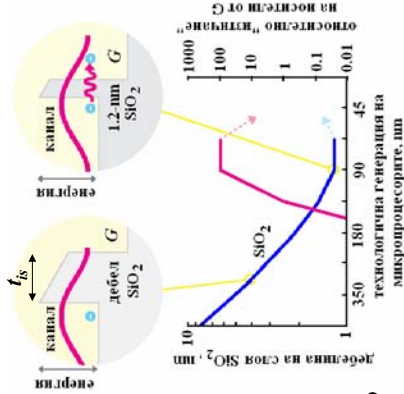
Днес е известно, че главната причина за успеха на MOSFET е развитието на т. нар. CMOS схеми, цифрови и аналогови (Complementary MOS, F. Wanlass 1967; US Patent 3356858). Названието се свързва с използване на двойка допълващи се, симетрични MOSFET с п- и р-тип канали в една схема. За пример на фигура 1 е показан CMOS инвертор. Как работи подобна схема? На двата транзистора се подават двойка захранващи напрежения $V_{DD} = 5\text{ V}$ и $V_{SS} = 0$. pMOS транзисторът има нисък импеданс, ако на входа му има ниско напрежение (0-1.5 V) и висок импеданс, ако на входа му има високо напрежение (3.5-5 V). За pMOS транзистора е точно обратното. Така, ако на входа А се подаде ниско напрежение, pMOS ще има висок импеданс и ще позволи на изхода Q да се появи високо напрежение на "земя", а rMOS ще има нисък импеданс и ще отведе високото напрежение V_{DD} на изхода Q. Ако на входа А се подаде високо напрежение, pMOS ще има висок импеданс и ще блокира подаване на високо напрежение V_{DD} към изхода, а pMOS ще има нисък импеданс и ще позволи на изходното напрежение за "оттече" на "земя" и на изхода Q ще се регистрира ниско напрежение. Накратко, изходите на pMOS и rMOS транзисторите са допълнителни един на друг, така че ако на входа А се подаде логическа "0" (ниско напрежение), на изхода Q се появява логическа "1" (високо напрежение) и обратно – т.е. схемата работи като инвертор (логическо "NOT").

Важно е да се отбележи, че в сравнение с другите логически схеми (TTL, ECL, pMOS – вж. Лекция 21), CMOS логическите схеми имат две важни предимства – по-добра защита от шум и ниска статична консумация (само при преход “on/off”). Следователно, те отделят по-малко топлина и позволяват висока интеграция – милиони и милиарди двойки транзистори в 1 cm^2 при типични размери на схемите от 0.1 до 4 cm^2 .



Проблеми при намаляване на размерите на MOSFET чиповете

Когато размерите на MOSFET транзистора намаляват, изолиращият слой трябва да се прави по-тънък, за да се запазва бързодействието. Ако преди 40 години минималният размер на един полевия транзистор е бил $\sim 10 \mu\text{m}$, то днес е вече под 50 nm , или фактор на редукция ~ 200 (т. е. ако един транзистор от 1969 г. е бил колкото тристаен апартамент, съвременният транзистор от 2008 се събира на една човешка длан). На фигурата долу е дадена графика на редукция на дебелината на изолиращия слой SiO_2 в зависимост от технологичните генерации на компютърните микропроцесори в последните 10 години. Дотук почти няма проблеми, докато не бе достигнат технологичния минимум от 1.2 nm дебелина на SiO_2 слоя



трябва да се използва по-дебел изолатор t_{ik} , но диелектрик с по-голяма диелектрична константа ϵ , като се запазва постоянно отношението $t_{ik}/\epsilon = \text{const.}$

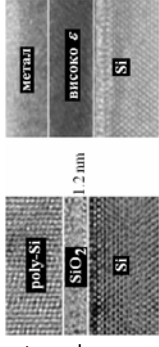
$$V_{GS} = V_{ch} + \frac{Q_{t_{is}}}{\epsilon \epsilon_0}$$

Основни предимства на Si-SiO₂ технологията (Gate)

Класическата структура на ранните MOSFET транзистори е “метал G, окис SiO₂ и полупроводник Si”. Основният критерий за материала на G е неговата добра проводимост. В последните 20-25 години вместо “истински” метал (например алуминий Al) за управляващ електрод G се използва високо-легиран поликристален полупроводник Si (polysilicon), което е наложило като стандарт в технологията на полевите транзистори. Има много причини за това. Една от тях е възможността да се регулира отделителната работа на G чрез нивото на легиране на poly-Si (нещо, което при металите е почти невъзможно). Това позволява да се намали съществено праговото ниво V_{th} и на двата типа pMOS и nMOS структури (в CMOS транзисторите), използвайки един и същи материал за G, което се явява важно технологично предимство. Друго предимство в добрата връзка между гладки повърхности на G и излатора SiO₂ е малко възможни дефекти. Трето предимство е това, че процесът на отлагане на poly-Si става при относително по-ниска температура от тази на повечето метали.

Използването на poly-Si като G има и недостатъци. Първо, poly-Si не е добър проводник, както повечето метали (до 1000 пъти по-ниска проводимост даже и при силно легиране). За да се повиши проводимостта се налага да се използва високо-температурни метали, отложени на горната повърхност на G – W, Ti, Co и напоследък Ni, наречени “силициди”, които почти не променят другите характеристики на poly-Si

G, защото са доста отдалечени от контакта със SiO_2 . Сериозните проблеми с poly-Si G настъпват, когато се намаляват размерите на транзистора, което налага намаляване на дебелината на окисния слой SiO_2 до ~ 1.2 nm (вж. коментар на следващите страници). Тогава възникват нови квантови ефекти и се налага използване на метален G и изолатор с висока диелектрична константа.



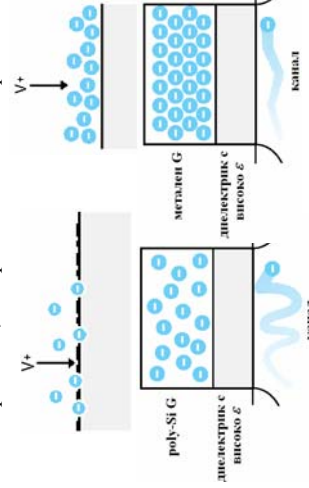
Двата главни типа MOSFET технологии

Съвременни MOSFET структури

Преди няколко години компютърни микропроцесори (Intel, IBM, NEC и др.), започват сериозно изследване на възможността класическият диелектрик SiO_2 в MOSFET да бъде заменен с материал с по-голяма диелектрична константа ϵ .

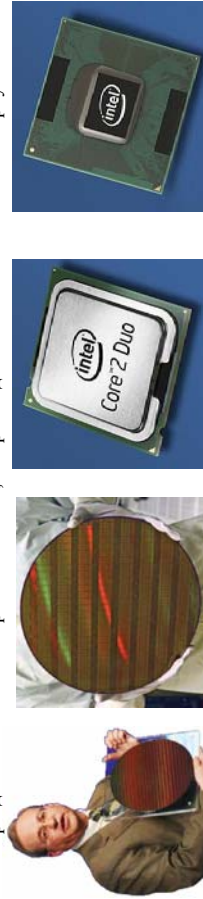
Основната причина за това е да се увеличи дебелината на изолиращия слой t_{is} с цел да се намали тока на “изтичане” от G , но в същото време да се запази

напряжението V_{GS} като се запази капацитетът C на прехода чрез увеличаване на ε (така, че $\varepsilon t_{is}/e = \text{const}$). Замяната на силициевия диоксид SiO_2 с друг диелектрик с $\varepsilon \sim 8\text{--}11$ не е лесна технологична задача. Кандидатите за подобна трябва да могат да се интегрират лесно в технологичния процес върху Si подложка, да са съвместими с ширината на зарианната зона на Si , да са електрически и термично стабилни, с малко дефекти, да образуват изключително гладки повърхности с материална на G и др. Към днешна дата най-добри са материалите, базирани на Zr и Hf : широкоионен силикат и диоксид (ZrSiO_4 , HfO_2) и особено



Еволюция на компютърните микропроцесори и технологията

Еволюцията на компютърните микропроцесори е много показателна за стремежа за намаляване на размерите на MOSFET структурите. В последните 25-30 години дължината на канала на MOSFET транзисторите непрекъснато намалява - няколко μm до няколко десетки nm. Доу е показан актуалният в момента процесор от 45-nm CMOS генерация. На път за реализация са 32-nm чипове като подобрение на технологията на 45-nm-вия, а в следващите години се очаква поява на 22-nm и 16-nm чип. В "пътната карта" на ИТ индустрията се предвижда през 2013 г. да се "работи" с 13-nm генерация микропроцесори. До 2003 г. намаляването на размерите чиповете бе свързано главно с подполюгичане на работата на MOSFET структурите; след 2003 г. това се асоциира и със сериозни технологични иновации (вж. предната страница). Редуцирането на размерите на чиповете има две основни цели - повече устройства в по-малка площ и по-бързодействащи чипове. Това означава чип със същата функционалност, но с по-малка площ. Понеже цената на производството на wafer е почти постоянна, това означава, че компактните чипове са по-евтини, тъй като са повече на брой в един wafer. Важно е, че отбележи, че редуцията трябва да става пропорционално (напр. 0.7) за всички размери: дължина и ширина на канала и дебелина на изолатора. Така съпротивлението на канала се запазва, но капацитетът намалява 0.7 пъти и бързодействието $\sim 1/RC$ нараства 0.7 пъти, но трябва да се отчита и влиянието на корпуса.



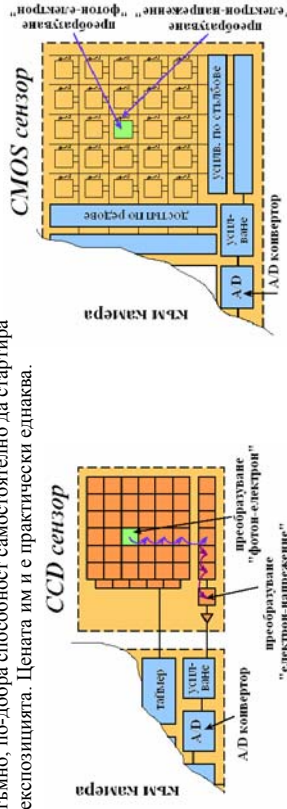
45-nm 64-bit двупърен микропроцесор на Intel Core2 Duo (след 2006 г.); кодово име Pentium; 1.06-3.33 GHz; 533-1600 MT/s; мин. размер 65-45 nm; ядра: 1, 2 и 4 (2x2); названия: Allendale, Conroe, Merom-2M, Merom, Kentsfield, Wolfdale, Yorkfield, Penryn

Лекция 12

12.5 Съвременни свръх-високочестотни НЕМТ и рНЕМТ транзистори - принципи на работа и честотен обхват. Нанотранзистори. Бъдеще на наноелектрониката.

CMOS и CCD – сравнение като сензори за видео изображение

Има още едно много важно приложение на CMOS структурите – използването им за сензори на видео изображение (imagers), където те се състезават с т. нар. CCD сензори (Charge-Coupled Device). И двата типа сензори са "пикселизирани" (дискретизирани) MOS структури. При осветяване натрупват електрически заряд, пропорционален на локалния интензитет на светлината, като по този начин изпълняват ролята устройства за "пространствен отчет" (sampling). Когато експозицията приключи, CCD сензорът преобразува заряда от всеки пиксел последователно във времето в обща изходна структура, където се преобразува в напрежение, натрупва се и се предава извън сензора, където се усилява, дигитализира и т. н. При CMOS сензора преобразуването на фотон в заряд, а заряд – в напрежение, става във всеки пиксел. Тази разлика в техниката на отчитане влияе значително на архитектурата на двата типа сензори, като всеки има своите предимства пред другия. CMOS сензори: по-силен и по-бърз отклик; отчитане на реакцията само на част от сензора (windowing); възможност за пре-експониране на част от сензора без влияние на останалата част; по-лесно захранване; по-надеждни са. CCD сензори: 2 пъти по-голям динамичен обхват; по-регулярен отчет, особено на тъмно; по-добра способност самостоятелно да стартира и спира експозицията. Цената им и е практически еднaквa.

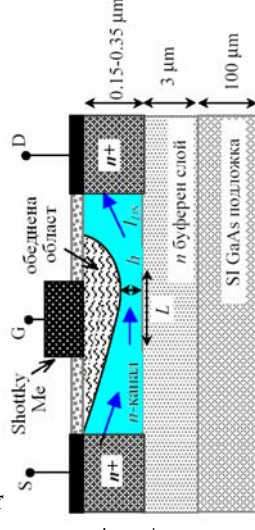


Класически MESFET транзистори

MESFET транзисторите са високочестотното решение на полевите транзистори. По принцип на работа са подобни на JFET транзисторите, но управляващият преход е от друг тип – "метал-ППТ" (Schottky преход). Другата голяма разлика е използването на GaAs вместо Si.

Без преувеличение може да се твърди, че през последните 20 години GaAs FET, се превърнаха в доминиращото твърдотелно устройство в микровълновите хибридни интегрални схеми (MIC's), и дори главно активно устройство (заедно с HEMT и рНЕМТ транзисторите) в микровълновите монолитни интегрални схеми (MMIC's). Основни предимства на GaAs FET са: нисък коефициент на шум, голяма ефективност и коефициент на усиление, много висока гранична честота (типично $\sim 40\text{-}80\text{ GHz}$ за FET, $\sim 150\text{ GHz}$ за HEMT), висок изходен импеданс (десетки M Ω) и пр. Към тях трябва да се прибави и ниската им цена, ако се произвеждат в големи серии (под 1\$ за бройка). С тези качества MESFET-транзисторите имат многобройни приложения в dm, см и mm обхвати: входни усилватели с нисък коефициент на шум (LNA), изходни усилватели с висока мощност (PA), осцилатори, смесители, бързодействащи логически схеми, ключове, фазорегулатори и др.

Да разгледаме сечение на високочестотен GaAs-FET с обозначение на типичните дебелини на отделните слоеве. Структурата съдържа: относително дебела полуизолираща GaAs-подложка, епитаксиален буферен слой и тънък епитаксиален слой с $n \sim (0.8 + 2) \cdot 10^{17}\text{ cm}^{-3}$, в който се формира p-канала. Непосредствено под контактите на S и D слоевете са силно легирани чрез имплантация на p-носители, за да се намали съпротивлението на канала в неактивните части.



GaAs MESFET транзистор

Честотни свойства на MESFET транзистори

Подвижността μ на носителите в п-канала е относително голяма под действие на ускоряващото поле между S и D, $\mu \sim (3+4.5) \cdot 10^{13} \text{ cm}^2/\text{Vs}$. Важен е и типът на използваните метали за контактите: за S и D се използват омови контакти най-често от Al-Ge, а за Shotky-контакта между G и канала – изпарен Al или Mo. Принципит на работа на високочестотният MESFET е следният: Обратното напрежение $-V_G$ между G и S модулира ширината на обеднената зона под G, а положителното напрежение $+V_{DS}$ между D и S ускорява електроните в канала. Ако $|V_{GS}|$ расте, височината на отворената част на канала намалява, а с това и тока I_{DS} . Следователно, в активен режим токът I_{DS} се управлява от напрежението $-V_{GS}$. При определено гранично напрежение $V_{GS} = V_{th}$ каналът се затвара ($h \rightarrow 0$) и токът $I_{DS} \rightarrow 0$. Обратно, при $V_{GS} = 0$ каналът е максимално отпушен, токът I_{DS} се насища и повече не зависи от приложеното напрежение V_{DS} . Качествена оценка за високочестотните свойства на полевия транзистор може да се получи чрез еквивалентната му схема при слаб сигнал (вж. в края на §12.3) (за активната област на транзистора елементите са оградени с пунктир). Важна характеристика на FET е неговата транзитна честота $f_T = 1/(2\pi t_{ch})$ (дефинира се за коефициент на усилване по ток $\beta = 1$), която е свързана с транзитното време за преминаване на носителите през канала $t_{ch} = L/v_d$ (L е дължината на канала, близка до широчината на управляващия електрод G, v_d е наситената дрейфова скорост на електроните в канала). За GaAs може да се използва емпиричната формула $f_T, \text{ GHz} \approx 38/L, \mu\text{m}$. Като допълнителен фактор за ограничаване на транзитната честота f_T може да се прибави и крайната стойност на времеконстантата τ_{SD} на сумарния преход SD т.е.

$$f_T = \frac{1}{2\pi(t_{ch} + \tau_{SD})} \quad \text{където} \quad t_{ch} = L/v_d$$

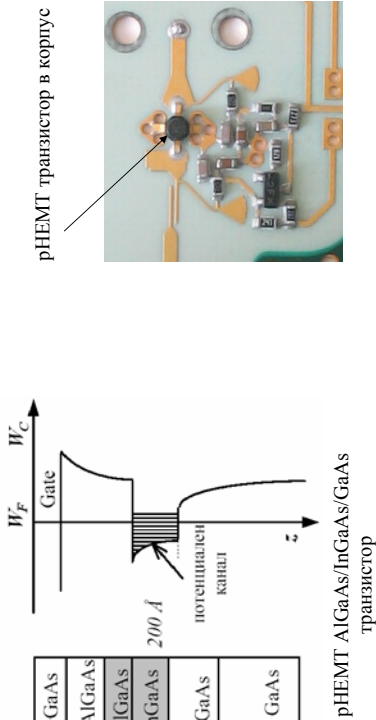
$$\tau_{SD} \equiv (R_G + R_C + R_S) \cdot [C_{GC} + C_{GD} \cdot C_{DC} (C_{GD} + C_{DS})]$$

Следователно, главните условия за повишаване на честотните възможности на MESFET са намаляване на дължината на канала ($L \approx 0.5 - 0.2 \mu\text{m}$, дори $< 0.1 \mu\text{m}$) и намаляване основно на капацитета C_{GC} на управляващия Shotky-преход, които по същество са две противоречиви изисквания.

Съвременни rHEMT полеви транзистори

Още по-добри характеристики имат т. нар. "псевдо-морфни" HEMT транзистори – rHEMT. Новото при тях е наличието на допълнителен леглиран слой $i\text{-InGaAs}$ с дебелина $\sim 200 \text{ \AA}$, където се формира около 4 пъти по-дебел канал с 2D-електронен газ. Освен по-високата подвижност на електроните в този тип полупроводник (още 1.5 увеличение), токът в канала е по-силен от този при обикновените HEMT транзистори, с което се увеличава коефициентът на усилване на rHEMT транзисторите и се увеличава значително честотната им лента ($f_T \sim 150 \text{ GHz}$, $f_{max} \sim 350 \text{ GHz}$).

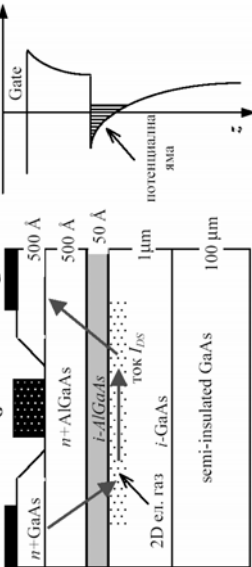
Днес rHEMT са най-високочестотните полевы транзистори и се използват в съвременните монолитни микровълнови интегрални схеми MMIC's, когато са необходими висока работна честота, относително голямо усилване и широка честотна лента.



Първи хетеропреходни полевы транзистори – HEMT

При нормалните MESFET транзистори електроните се движат в активен слой: канал от n-GaAs с относително висока концентрация на носителите $n \sim 10^{17} \text{ cm}^{-3}$ (за да има ниско съпротивление). В резултат на това, подвижността на носителите, макар и относително висока при GaAs, е ограничена от ударите и разсейването от йоните на легиращата съставка, които образуват дефектите в кристалната решетка.

Този ефект оказва влияние при субмикрометричните структури с дължина на канала под $1 \mu\text{m}$. За да се ограничи ефекта, дебелината на канала също намалява, а оттам и изходната мощност. При HEMT транзисторите се използват полупроводникови структури от различен тип (хетеропреходни полупроводникови) за да се "отмести" движението на носителите далече от областта, където концентрацията на легиращите йони е висока. Доу е показана типичната структура на AlGaAs/GaAs HEMT транзистор. Разликата с обикновения MESFET транзистор е наличието на тънък p^+ -AlGaAs слой, който има по-широка забранена зона (1.72 eV) от тази на GaAs (1.42 eV). Енергетичната разлика от 0.3 eV е причината на границата между слоевете от различен тип да се появи квантова потенциална яма, където електроните попадат с по-висока вероятност и там се образува плосък 2D електронен газ.

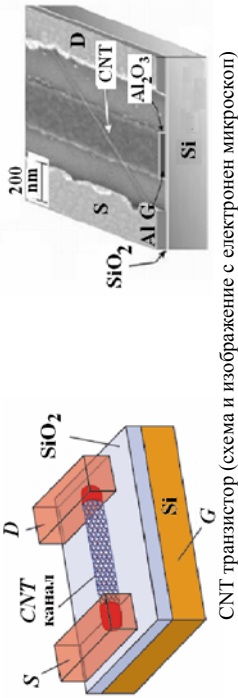


HEMT AlGaAs/GaAs транзистор

Този слой е много тънък ($\sim 50 \text{ \AA}$) и се намира в областта с нисколегирани $i\text{-GaAs}$. Понеже вероятността за разсейване тук е значително по-ниска, отколкото в легираните части на канала, това води до ефективно нарастване (~ 2 пъти) на подвижността на електроните в слоя, откъдето идва названието *HEMT транзистори*. Този ефект дава две съществени предимства на HEMT пред MESFET транзисторите: по-нисък коефициент на шум и по-висока транзитна честота ($f_T \sim 100 \text{ GHz}$).

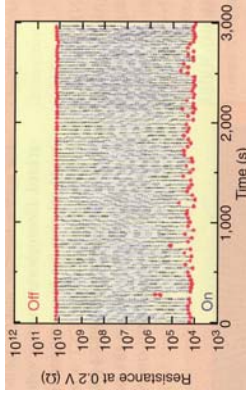
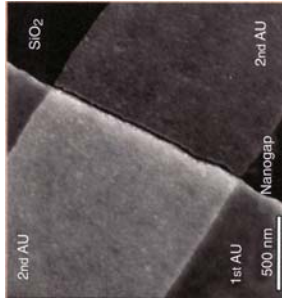
Полевы нанотранзистор с CNT канал

CNTFET (Carbon Nano Tube FET) днес е един от най-изучаваните полевы "нано-транзистори" от много изследователски групи и компании и е пред комерсиална реализация. CNTFET транзисторите дори и при стайна температура притежават много предимства пред класическите CMOS транзистори, които са все още ключов елемент в съвременните компютри и комуникационни устройства. Очакваната в бъдеще евентуална замяна на CMOS транзисторите с CNTFET транзистори е по същество революционен преход от съществуващата световна силициева технологична хетемония към т. нар. *въглеродна технология*. Доу е показана принципната схема и микроскопското изображение на SWCNTFET транзистор с единична стена (Single Walled CNT). Въглеродните нано-тръбички с диаметър до няколко nm, имат някакъв забележителни електрически характеристики, когато се използват като канал в полевите транзистори. Плътноста на тока в CNT е $\sim 10^9 \text{ A/cm}^2$ или $\sim 10^3$ пъти по-висока от тази в медта, а динамиката на тока в канала в зависимост от напрежението V_{GS} е огромна ($\sim 10^5$ пъти). Към това може да се прибави висока подвижност на носителите и големият свободен пробег при балистичен транспорт при 200°C ($300 - 700 \text{ nm}$ за полупроводникови CNT и $1000 - 3000 \text{ nm}$ за метални CNT, който е поне три пъти по-голям от този на най-добрата полупроводникова хетероструктура), което прави канала малко шумящ. Въглеродните нано-тръбички CNT имат и висока топлинна проводимост (6600 W/mK), както и механична здравина, на порядъци по-голяма от тази на стоманата (модул на Юнг $\sim 1 \text{ TPa}$).



Съвременни наноразмерни структури за бързодействащи памети

Какво ще стане след "CMOS era" в технологията е тема, по която вече се дебатира усилено. Става въпрос за нова генерация в технологията на субминиматюрни елементи под 10 nm. Кандидатите за тази нова технология могат да са CNT транзисторите, но още и други устройства. Дотук е показано едно истински наноразмерно резистивно устройство, което може да се използва за свръх-бърза памет. Това е двуполосно устройство, което се състои от двойка метални електроди, разделени с тънък (~10 nm) процеп. Под действие на управляващо напрежение структурата може да преминава от високо-резистивно в ниско-резистивно състояние благодарение на тунелен ефект през свръх-тънкия процеп. Отношението на съпротивлението в "on-off" състояние е ~10⁶ и остава постоянно дори след 10⁵ цикъла на превключване. Този ефект е наблюдаван най-напред за златни електроди върху SiO₂ подложка. Такова устройство е изключително лесно за технологична изработка и е много перспективен кандидат за свръх-миниматюрни и свръх-бързи електронни памети.



Изображение със сканиращ електронен микроскоп на нано-размерен резистивен елемент за електронна памет и графика на преклупването в "on-off" състояние. Отношението на съпротивлението в "on-off" състояние е ~10⁶ и остава постоянно дори след 10⁵ цикъла на превключване

Какво представлява "мемристорът"

Какво представлява "мемристорът"? Известните три пасивните елемента (R , L и C и техните реципрочни стойности) свързват по двойки следните физични величини: заряд q , ток i , напрежение v и магнитен поток ϕ . Връзката между v и i се дава чрез R , връзката между q и v – чрез C , а връзката между i и ϕ – чрез L . Идеята е, че липсващата връзка между заряда q , предвиждащ се през дадена схема, и магнитния поток ϕ , свързан с тази схема, се дава именно чрез съпротивлението на мемристора – т. нар. "memristance" M или реципрочната му стойност – "memductance" W (вж. формулите):

$$v(t) = M(q) i(t)$$

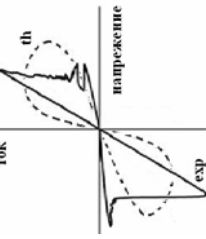
където

$$M(q) = \partial \phi(q) / \partial q$$

$$i(t) = W(\phi) \cdot v(t)$$

$$W(\phi) = \partial q(\phi) / \partial \phi$$

Фундаменталността на елемента "мемристор" се определя от факта, че неговото действие не може да се имитира от останалите три RLC-елемента. Всъщност това действие може да се имитира от схема от множество активни елементи (Chua е доказал, че са поне 2!), но идеята това да е един физичен обект. На фигурата е показана волт-амперната характеристика на мемристор.



Теоретично тя представлява непрекъсната затворена крива (bow tie) и прилича на поведението на нелинеен транзистор. Тя показва как мемристорът може да работи като ключ. При отначало съпротивлението е високо и при нарастване на напрежението с положителна полярност токут расте бавно. С предвиждането на заряда през устройството поради влиянието на магнитния поток, съпротивлението намалява и токът расте. Ако сега напрежението започне да намалява, поради по-ниското ново съпротивление токът е по-силен. При обратна полярност се случва същото, но в обратен ред. Следователно при положително напрежение мемристорът е ключ в on-състояние, а при обратен ток напрежение – в off-състояние. Разликата между съпротивлението в off/on състояние е огромна (от поне 10³ : 1 до 10⁶ : 1, вместо класическото от 2 : 1 до 3 : 1 за транзисторни ключове в интегрално изпълнение).

V-A характеристика на "мемристор" (теоретична th и експериментално измерена – exp вж. и другата страница)

Има ли нови пътища в технологията, освен класическото удвояване на броя транзистори в чипа на всеки 2 години (закон на Моорге)?

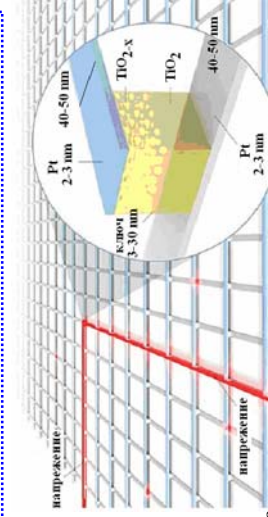
Законът на Моорге за удвояване на броя на транзисторите в 1 cm² в електронните чипове на всеки 2 години все още е в основата на вече 50-годишна техническа и икономическа революция на човечеството (да се представим само компютрите и безичните комуникации). Има естествена граница на този процес. Въпросът е докога още ще продължава това "свиване" на размера на чиповете, за да нараства техният капацитет и какво може да го замени? Сред изследователите и инженерите се оформят вече мнения, че съществено подобряване на капацитета на компютърните процесори може да стане и по друг начин, без да е необходимо да се търсят минимално възможните размери на чиповете. Един от пътищата е използване на т. нар. "мемристор" (memristor, memoty resistor). Това е пасивно устройство, но комбинирано с активни може съществено да подобри работата на кондензатор (капацитет) и бързодействието на цифровите интегрални схеми без да се налага скъпото и нарастващо трудно удвояване на броя на транзисторите в чиповете. Нещо повече, мемристорът функционира както "синапсис" в пресечните точки на невронната мрежа на човешкия мозък

Мемристорът е предложен от L. Chua като фундаментален пасивен елемент в електрическите схеми през 1971 г., но бе създаден като самостоятелно устройство едва през май 2008 г. До този момент бяха известни 3 фундаментални пасивни устройства – кондензатор (открит през 1745 г.), съпротивлението (1827 г.) и бобината (1831 г.) (вж. Лекция 3). Мемристорът е двуполосно устройство, чието съпротивление зависи от амплитудата и полярността на напрежението и от времевия интервал, в което е приложено. Когато напрежението се изключи, мемристорът "запомня" тази последна стойност на съпротивлението и го проявява при следващото включване, когато и да е то (напр. след ден или година) (свойство, подобно на човешкия спомен). Това поведение на мемристора е идеално за постоянна компютърна памет (напр. след изключване на захранването последното състояние на компютъра се възстановява отново след ново включване без "save", "quit" и др. познати операции при изключване.

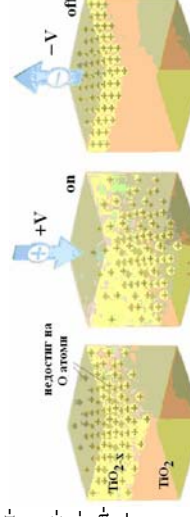


Мислеща памет като невронна мрежа с "мемристори" в пресечните точки (синапсис)

Реализация на мемристорна памет



Компютърна памет като мрежа от нишки с ключове



Действие на мемристорен ключ (май 2008 г.): Това са кубчета с размери до 40 nm от смес на TiO₂ (изолатор) и TiO_{2-x} (почти метал; x = 0.05). Размерът на областите се контролира с напрежение: +V (on, проводящ ключ, логическа "1") и -V (off, непроводящ ключ, логическа "0")